



**PATENT**  
**Docket No. 20063/OG03-050**

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s): Han et al.

Serial No.: 10/747,602

Filed: December 29, 2003

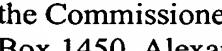
For: "Methods of Fabricating Semiconductor Devices"

### Group Art Unit: Unknown

Examiner: Not Yet Assigned

I hereby certify that the documents referred to as enclosed herewith are being deposited with the United States Postal Service, first class postage prepaid, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450 on this date:

**January 30, 2004**



Mark C. Zimmerman  
Reg. No. 44,006

**TRANSMITTAL OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No. 10-2002-0088276 filed December 31, 2002, the priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.  
Suite 4220  
20 North Wacker Drive  
Chicago, Illinois 60606  
(312) 580-1020

By:

Mark C. Zimmerman  
Registration No.: 44,006

January 30, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0088276  
Application Number

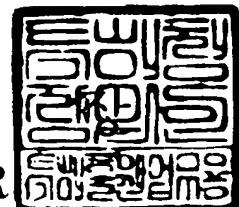
출 원 년 월 일 : 2002년 12월 31일  
Date of Application DEC 31, 2002

출 원 인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.

2003 년 11 월 18 일

특 허 청

COMMISSIONER



### 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0014
【제출일자】	2002. 12. 31
【발명의 명칭】	반도체 소자의 제조방법
【발명의 영문명칭】	METHOD FOR FORMING ISOLATION LAYER OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050901-4
【발명자】	
【성명의 국문표기】	한창훈
【성명의 영문표기】	HAN, Chang Hun
【주민등록번호】	700614-1480918
【우편번호】	467-010
【주소】	경기도 이천시 창전동 49-1 현대1차아파트 101동 605호
【국적】	KR
【발명자】	
【성명의 국문표기】	금동렬
【성명의 영문표기】	KEUM, Dong Yea l
【주민등록번호】	650501-1792614
【우편번호】	467-719
【주소】	경기도 이천시 증포동 대우2차아파트 206동 1004호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	11      면      29,000      원
【가산출원료】	0      면      0      원

1020 [REDACTED] 088276

출력 일자: 2003/11/19

【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	29,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

본 발명은 반도체 소자의 게이트 형성과정을 단순화시키는 반도체 소자의 제조방법을 개시한다. 개시된 본 발명의 방법은, 반도체 기판상에 게이트 산화막과 게이트 전극을 적층하는 단계; 상기 게이트 전극 양측아래의 반도체 기판내에 LDD(Lightly Doped Drain)이온 주입을 실시하는 단계; 상기 게이트 전극 측면에 접합 스페이서를 형성 한 후 상기 스페이서를 마스크로 반도체 기판내에 접합이온주입을 실시하는 단계; 상기 스페이서 사이의 반도체 기판 부분을 선택적으로 제거하여 소자 분리용 트렌치를 형성하는 단계; 상기 기판 결과물상에 측벽 산화막을 형성하는 단계; 상기 측벽 산화막상에 확산 방지막을 형성하는 단계; 상기 확산 방지막 상에 캡매립 절연막을 형성한 후 이를 평탄화 시키는 단계; 및 상기 캡매립 절연막을 선택적으로 제거하여 메탈 콘택영역(metal contact)을 형성하는 단계를 포함한다.

**【대표도】**

도 2e

## 【명세서】

## 【발명의 명칭】

반도체 소자의 제조방법{METHOD FOR FORMING ISOLATION LAYER OF SEMICONDUCTOR DEVICE}

## 【도면의 간단한 설명】

도 1은 종래 기술에 따른 반도체 소자의 제조과정을 설명하기 위한 공정 단면도.

도 2a내지 도 2e는 본 발명의 실시예에 따른 소자 분리막및 절연막증착과 평탄화 를 동시에 실현할 수 있는공정 과정을 설명하기 위한 공정 단면도.

-도면의 주요 부분에 대한 부호의 설명-

10 : 실리콘 기판 22 : 소자 분리 영역

12 : 게이트 산화막 24 : 측벽 산화막

14 : 폴리 실리콘 26 : 확산 방지막

16 : LDD 28 : 충간 절연막

18 : 스페이서 30 : 메탈 콘택(metal contact)

20 : Junction

## 【발명의 상세한 설명】

**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 보다 상세하게는 기존의 DRAM, 로직(logic), 플래쉬 메모리(Flash memory) 소자의 트랜지스터 제조공정에서 사용되었던, STI식각공정후 캡매립을 하고 CMP공정을 실시하는 공정과 게이트전극을 만들고 층간 절연막을 증착하던 공정과정을 단순화시킬 수 있는 반도체 소자의 제조하는 방법에 관한 것이다.

<11> 이하에서는 기존의 반도체 소자의 트랜지스터 제조과정을 도 1을 참조하여 간략하게 설명하면 다음과 같다.

<12> 도 1은 종래 기술에 따른 트랜지스터 제조 과정을 설명하기 위한 공정 단면도이다.

<13> 종래 기술에 따른 트랜지스터 제조 방법은 도 1에 도시된 바와 같이, 먼저 소자분리막을 형성하기 위한 공정으로 실리콘 기판(1)상에 STI식각 공정후 캡매립산화막을 형성하여 CMP공정을 함으로써 트렌치형의 소자분리막(3)을 형성하는 공정과정을 진행한다.

<14> 그 다음 게이트 전극을 형성하기 위해 소자 분리막(3)이 형성된 상기 반도체 기판(1)상에 게이트 산화막(5)을 증착 후 이어서 게이트 폴리 실리콘층(7)을 증착한다.

<15> 이어서 상기 게이트 폴리 실리콘층(7)을 마스크로, LDD(lightly doped drain)이온주입(9)을 실시한다.

<16> 그 다음 상기 기판 전면에 TEOS/SiN/TEOS 층을 증착한뒤 식각하여 스페이서(11)를 형성한 후 상기 스페이서(11)를 마스크로 junction 이온주입(13)을 실시한다.

<17> 마지막으로 상기 기판(1)상에 절연막(15)을 증착후 식각하여 메탈 콘택(metal contact) 영역(17)을 형성한다.

**【발명이 이루고자 하는 기술적 과제】**

<18> 그러나 기존의 반도체 소자의 제조 방법은 STI식각후 캡매립 산화막을 증착하고 평탄화 시키는 CMP공정과 이후에 게이트를 만들고 총간 절연막을 증착하여 또한번 평탄화 시키는 공정을 실시해야하는 번거로운 문제가 있다.

<19> 또한, 상기 공정과정에서 필수적인 패드 질화막및 패드 산화막 증착을 하게 되는데, 상기 막들이 형성된 기판상에 CMP공정을 실시하게 되면, 집적화로 인해 금속간의 피치 사이즈가 점점 더 작아짐에 따라 회로의 성능을 저하시키고 소자 수율에 막대한 영향을 미치는 질화막 잔존물및 패드 산화막의 손상이 생기게 되는 문제점이 있다.

<20> 무엇보다, 상기 과정을 진행하는 동안 수반되는 공정단계들의 증가로인하여 공정 비용이 높아지면서 양산시 제조 단가가 높아지는 단점이 발생하게 된다.

<21> 따라서 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 소자막 분리를 위한 캡매립산화막 및 게이트 공정후 시행하는 총간 절연막공정을 같은 물질로 사용해서 한 번에 증착한뒤, 평탄화 하는 CMP공정을 도입함으로써 기존의 두 차례 평탄화 시키는 공정에 따른 제조 비용부담을 경감하고, 소자막 분리를 위한 공정단계를 줄임으로써 공정 단순화 및 생산 효율을 높일 수 있는 반도체 소자의 제조방법을 제공함에 그 목적이 있다.

**【발명의 구성 및 작용】**

<22> 상기와 목적을 달성하기 위한 본 발명에 다른 반도체 소자의 제조방법은,반도체 기판상에 게이트 산화막과 게이트 전극을 적층하는 단계; 상기 게이트 전극 양측아래의 반도체 기판내에 LDD(Lightly Doped Drain)이온 주입을 실시하는 단계; 상기 게이트 전극 측면에 접합 스페이서를 형성 한 후 상기 스페이서를 마스크로 반도체 기판내에 접합이온주입을 실시하는

단계; 상기 스페이서 사이의 반도체 기판 부분을 선택적으로 제거하여 소자 분리용 트렌치를 형성하는 단계; 상기 기판 결과물상에 측벽 산화막을 형성하는 단계; 상기 측벽 산화막상에 확산 방지막을 형성하는 단계; 상기 확산 방지막상에 캡매립 절연막을 형성한 후 이를 평탄화시키는 단계; 및 상기 캡매립 절연막을 선택적으로 제거하여 메탈 콘택영역(Metal contact)을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

<23> (실시예)

<24> 이하 본 발명에 따른 반도체 소자의 제조방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.

<25> 도 2a내지 도 2e는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정 단면도이다.

<26> 본 발명에 따른 반도체 소자의 제조 방법은 도 2a에 도시된 바와 같이, 반도체 기판(10)상에 바로 게이트 산화막(12)을 증착한뒤, 상기 게이트 산화막상(12)에 게이트 폴리 실리콘(14)을 증착한다.

<27> 그 다음 상기 게이트 폴리 실리콘(14)을 마스크로 LDD이온 주입(16)을 실시한 뒤, 상기 기판 전면에 TEOS/SiN/TEOS 층을 증착한 후 식각하여 스페이서(18)를 형성하고, 상기 스페이서(18)를 마스크로 접합 이온주입(20)을 실시한다.

<28> 이어서, 상기 기판상에 소자 분리를 위해 이방성 식각방법으로 트렌치형의 분리영역(22)을 형성한다.

<29> 그 다음, 도 2b에 도시된 바와 같이, 상기 기판 결과물상에 식각데미지를 회복하기 위하여 측벽 산화막(sidewall oxidation)(24)을 증착한다.

<30> 이어서, 도 2c에 도시된 바와 같이, 상기 측벽산화막(24)상에 확산 방지막(26)을 증착하게 되는데, 이는 후속 공정에서 층간 절연물로 사용하게 되는 물질로 주로 BPSG(Boro-PhosphoSilicate Glass)계열의 산화막을 이용한다. 이때 상기 BPSG 산화막을 구성하는 원소들 중 붕소(boron)는 확산성(diffusivity)이 높은 물질로써 접합 및 채널 영역으로 쉽게 확산하려는 경향이 있기 때문에 이를 방지하기 위한 것이다. 이때 확산 방지막으로는 비정질 실리콘을 사용한다.

<31> 그 다음, 도 2d에 도시된 바와 같이, 상기 확산 방지막(26)상에 층간 절연막(28)을 형성한 후, 평탄화 시킨다. 이때 사용되는 절연막 물질로서 BPSG(Boro-Phospho-Silicate Glass)계열의 산화막을 이용한다.

<32> 마지막으로, 도 2e에 도시된 바와 같이, 상기 절연막상에 마스크 패턴을 형성하여 상기 마스크 패턴을 마스크로 상기 BPSG 절연막(28)을 선택적으로 식각하여 메탈 콘택(metal contact) 영역(30)을 형성한다.

### 【발명의 효과】

<33> 이상에서와 같이, 본 발명에 따른 반도체 소자의 제조 방법에 의하면, 기존의 STI 공정에서의 갑매립산화막 및 층간 절연막을 같은 물질로 사용하여 한 번에 증착하고 평탄화시킴으로써, CMP 공정에 따른 제조 비용 부담을 경감하고 공정 단계를 효과적으로 줄일 수 있어 양산시 비용 절감 및 생산효율 측면에서 상당한 효과를 얻을 수가 있으며, 공정 과정이 줄어듦에 따라 각 단계별 공정, 특히 CMP 공정시에 발생하는 결함을 최소화 할 수 있으므로 디바이스 개발 측면에서 도 유리하다.

<34> 또한, 절연막으로 사용되는 물질로 BPSG막을 증착함에 따라 채널 및 접합쪽으로 침투해 오는 보론(boron)의 확산을 일정 두께의 확산 방지막을 증착하여 확산을 억제 시킴으로써 소자 의 신뢰성도 동시에 개선할 수 있는 장점이 있다.

<35> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

반도체 기판상에 게이트 산화막과 게이트 전극을 적층하는 단계;

상기 게이트 전극 양측아래의 반도체 기판내에 LDD(Lightly Doped Drain)이온 주입을 실시하는 단계;

상기 게이트 전극 측면에 접합 스페이서를 형성 한 후 상기 스페이서를 마스크로 반도체 기판내에 접합이온주입을 실시하는 단계;

상기 스페이서 사이의 반도체 기판 부분을 선택적으로 제거하여 소자 분리용 트렌치를 형성하는 단계;

상기 기판 결과물상에 측벽 산화막을 형성하는 단계;

상기 측벽 산화막상에 확산 방지막을 형성하는 단계;

상기 확산 방지막상에 캡매립 절연막을 형성한 후 이를 평탄화 시키는 단계; 및 상기 캡매립 절연막을 선택적으로 제거하여 메탈 콘택영역(metal contact)을 형성하는 단계를 포함하여 구성되는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 2】**

제 1항에 있어서, 상기 캡매립 절연막으로는 BPSG계열의 산화막을 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 3】**

제 1항에 있어서, 상기 확산 방지막의 물질로는 비정질 실리콘(Amorphous silicon)을 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 4】**

제 1항에 있어서, 확산 방지막 물질로는 N 도프트 산화막을 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 5】**

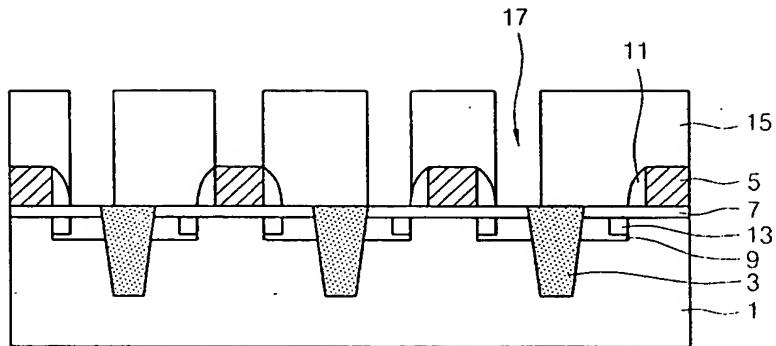
제 1항에 있어서, 상기 캡매립 절연막으로 USG(undoped Silicate Glass)를 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 6】**

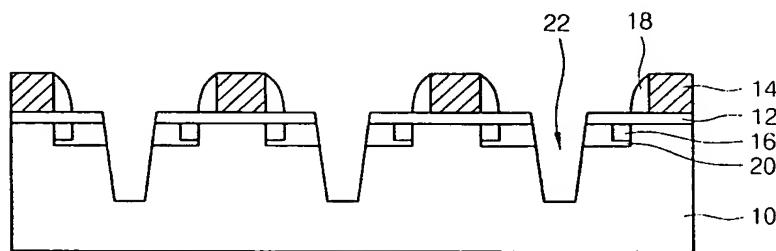
제 1항에 있어서, 상기 캡매립 절연막은 소자 분리막과 층간 절연 물질막으로 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 【도면】

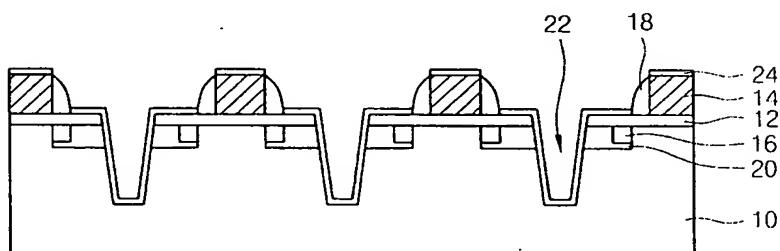
【도 1】



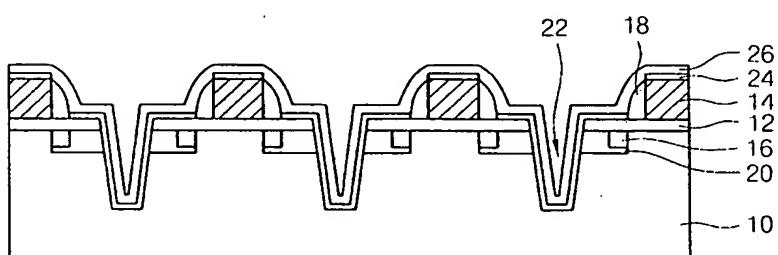
【도 2a】



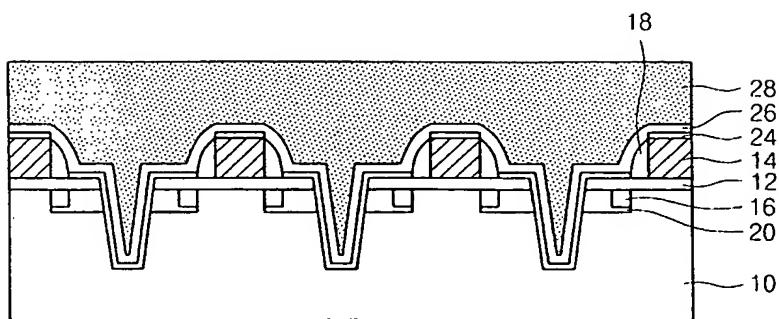
【도 2b】



【도 2c】



【도 2d】



【도 2e】

